

第九届高技能大赛暨首届金鸡湖技能 邀请赛集成电路设计项目竞赛规程

一、项目名称

集成电路设计

二、竞赛时间

预赛时间：2019年6月23日

决赛时间：2019年6月29日

具体时间以大赛参赛证为准。

竞赛官方网站：<http://www.sip-gjn.com>。

三、竞赛地点

集成电路设计预、决赛地点为苏州中科集成电路设计中心(苏州工业园区金鸡湖大道 1355 号国际科技园二期 E401)。

四、竞赛方式

竞赛分预赛和决赛两个阶段进行，设数字逻辑功能设计与验证、模拟集成电路设计两个竞赛方向，选手可以根据自身的优势选择一个方向参加比赛。预赛时间为 90 分钟，预赛内容为数字、模拟等集成电路设计相关应知应会的理论知识。决赛时间为 180 分钟，进入决赛的选手其预赛成绩按 20%计入决赛，采取工作任务书形式下达竞赛要求，要求选手根据设计规范和要求的，在规定时间内运用专业工具软件完成项目设计或者验证或者性能改善工作。



五、竞赛内容

(一) 预赛理论知识竞赛

1、试题范围

预赛内容：集成电路设计相关应知应会的理论知识

2、试题类型

选择题（单选题），判断题，填空题。

3、竞赛时间及方式

理论竞赛时间为 90 分钟，采用闭卷形式使用答题纸答题。参赛选手自带橡皮、深色钢笔或水笔。

4. 命题方式

理论知识竞赛将根据国家职业标准相应等级的理论要求，由承办单位竞赛命题组命题。

5、计分方法

卷面满分为 100 分，得分乘以 20% 计入总成绩。

(二) 决赛操作技能竞赛

决赛内容：采取工作任务书形式下达竞赛要求，设置两个不同的方向，参赛人员可以根据自身的优势选择一个参加比赛。

1、试题范围

(1) 数字逻辑功能设计与验证

任务要求：选手根据工作任务文档（PDF 格式），采用 Verilog 语言，现场编码完成某一逻辑设计需求的设计或者验证工作。



主办方提供如下 EDA 工具：Cadence incisive ；
Synopsys VCS。

参赛对象建议为：IC 系统架构师、数字逻辑设计和 HDL 编码工程师及相关技术人员。

(2) 模拟集成电路设计

任务要求：选手根据指定的设计指标，自主完成某一个模拟电路模块的设计，以及对指定的某一模拟电路进行性能改善，并列出具体的改善理由。

主办方提供如下 EDA 工具：Cadence ic5141 ,Cadence ic615

参赛对象：模拟集成电路设计工程师

以上各方向所用软硬件，均有主办方提供，不允许选手自带。

以上各竞赛选手均按要求将相关运行记录、相关程序及设计结果保存到指定存储区域。

2、竞赛时间

以项目实践考核的方式，时间为 3 个小时。

3、命题方式

由承办单位命题组命题。

六、竞赛设备

(1) 赛场提供软硬件设备

承办单位可为决赛提供工位 150 个。